

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-106795

(43)Date of publication of application : 23.04.1996

(51)Int.Cl.

G11C 19/00

(21)Application number : 06-242474

(71)Applicant : FUJI ELECTRIC CO LTD

(22)Date of filing : 06.10.1994

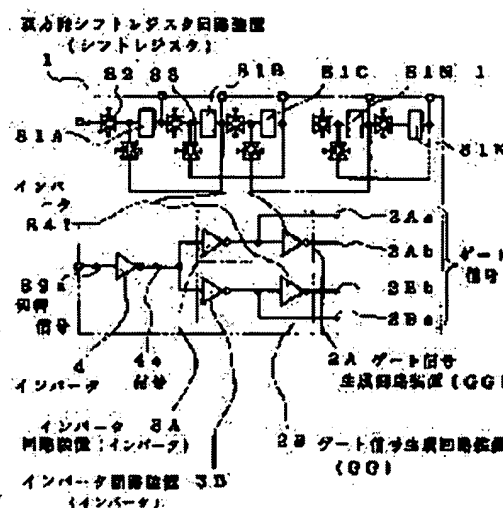
(72)Inventor : IWAI KEIICHI

## (54) BIDIRECTIONAL SHIFT REGISTER CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To obtain a bidirectional shift register circuit device which does not perform erroneous operation even when a high frequency switching signal is inputted.

CONSTITUTION: A bidirectional shift register circuit device 1 employs an inverter 4 into which a switching signal 89a is inputted to output a signal 4a as compared to the conventional example and gate signal generation circuit devices (GG) 2A and 2B as gate signal generation circuit device. The GG2A is provided with an inverter circuit device 3A into which the signal 4a is inputted to output a gate signal 2Aa and an inverter 841 to output a gate signal 2Ab and the GG2B with an inverter circuit device 3B into which the signal 4a is inputted to output a gate signal 2Ba and an inverter 841 to output a gate signal 2Bb. The inverter circuit devices 3A and 3B are inverters which are each provided with a p channel MOS and an n channel MOS connected to each other in a complimentary manner. 'Width dimension/length dimension' values of channel parts of both the p channel MOS and the n channel MOS are differentiated from each other thereby preventing forward and backward array transmission gates from being turned on simultaneously.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of

BEST AVAILABLE COPY

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-106795

(43) 公開日 平成8年(1996)4月23日

(51) Int.Cl.<sup>9</sup>

G 1 1 C 19/00

識別記号

C

G

片内整理番号

P I

技術表示箇所

審査請求 未請求 請求項の数 4 O L (全 13 頁)

(21) 出願番号 特願平6-242474

(22) 出願日 平成6年(1994)10月6日

(71) 出願人 000005234

富士電機株式会社

神奈川県川崎市川崎区田辺新田1番1号

(72) 発明者 岩井 圭一

神奈川県川崎市川崎区田辺新田1番1号

富士電機株式会社内

(74) 代理人 弁理士 山口 展

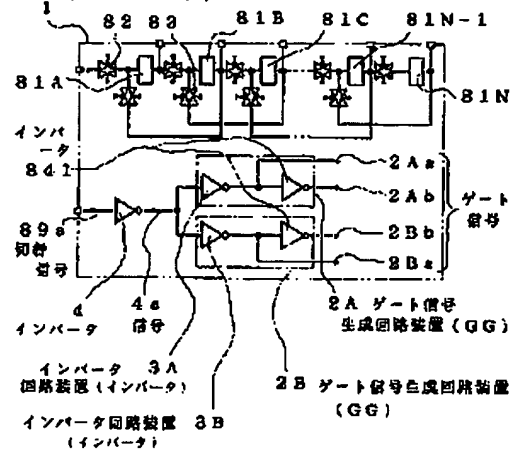
(54) 【発明の名称】 双方向シフトレジスタ回路装置

(57) 【要約】

【目的】 高周波数の切替信号が入力されても誤動作が発生しない双方向シフトレジスタ回路装置を提供する。

【構成】 双方向シフトレジスタ回路装置1は、従来例に対し、切替信号89aを入力し信号4aを出力するインバータ4、ゲート信号生成回路装置としてゲート信号生成回路装置(GG)2A、2Bを用いる回路装置である。GG2Aは、信号4aが入力されゲート信号2Aaを出力するインバータ回路装置3Aと、ゲート信号2Abを出力するインバータ841とを、GG2Bは、信号4aが入力されゲート信号2Baを出力するインバータ回路装置3Bと、ゲート信号2Bbを出力するインバータ841とを備えている。インバータ回路装置3A、3Bは互いに相補形に接続されたpチャンネルMOSとnチャンネルMOSとを備えたインバータで、両者のpチャンネルMOSとnチャンネルMOSのチャンネル部の「幅方向寸法/長さ方向寸法」値を互いに異ならせている。

双方向シフトレジスタ回路装置  
(シフトレジスタ)



(2)

特開平8-106795

1

2

## 【特許請求の範囲】

【請求項1】従属接続される複数のフリップフロップと、初段のフリップフロップにおいてはその入力端とシリアル信号の入力端との間に介挿され、第2段以降のフリップフロップのそれぞれにおいてはその入力端と前段のフリップフロップの出力端との間に介挿された、配列順用のトランスミッションゲートと、最終段のフリップフロップを除くフリップフロップのそれぞれの入力端と、次段のフリップフロップの出力端との間に介挿された逆順用のトランスミッションゲートとを備え、配列順用および逆順用のそれぞれのトランスミッションゲートのオン/オフの状態を、シフト方向の切替を指令する切替信号に従って互いに逆状態に切り替えることで、フリップフロップの配列に対して配列順の方向およびフリップフロップの配列に対して逆順の方向のいずれかにシフト方向を切替えて、シリアル信号のバラレル信号への変換を行ない、それぞれのフリップフロップの出力端からバラレル信号を出力する双方向シフトレジスタ回路装置において、

配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定することを特徴とする双方向シフトレジスタ回路装置。

【請求項2】請求項1に記載の双方向シフトレジスタ回路装置において、

切替信号を入力してそれぞれのトランスミッションゲートをオン/オフさせるゲート信号を生成するゲート信号生成回路装置を、配列順用のトランスミッションゲート用と逆順用のトランスミッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、pチャンネルMOSとnチャンネルMOSとが相補形に接続されて、両MOSのゲートの共通接続点に切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置が有するpチャンネルMOSおよびnチャンネルMOSの、チャンネル部の「幅方向寸法/長さ方向寸法」値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも小さい値に設定することで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定したことを特徴とする双方向シフトレジスタ回

路装置。

【請求項3】請求項1に記載の双方向シフトレジスタ回路装置において、

切替信号を入力してそれぞれのトランスミッションゲートをオン/オフさせるゲート信号を生成するゲート信号生成回路装置を、配列順用のトランスミッションゲート用と逆順用のトランスミッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置のしきい値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも高い値に設定することで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定したことを特徴とする双方向シフトレジスタ回路装置。

【請求項4】請求項1に記載の双方向シフトレジスタ回路装置において、

切替信号を入力して、配列順用のそれぞれのトランスミッションゲートをオン/オフさせる配列順用のゲート信号と、逆順用のそれぞれのトランスミッションゲートをオン/オフさせる逆順用のゲート信号とを生成するゲート信号生成回路装置を備え、このゲート信号生成回路装置は、切替信号を入力してこの信号を遅延したうえで出力する遅延回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理積に基づく出力信号を出力する論理積演算回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理和に基づく出力信号を出力する論理和演算回路装置と、論理積演算回路装置の出力を入力するインバータ回路と、論理和演算回路装置の出力を入力するインバータ回路とを有し、論理積演算回路装置の出力、および論理和演算回路装置の出力を入力するインバータ回路の出力とを配列順用のゲート信号として用い、論理和演算回路装置の出力、および論理積演算回路装置の出力を入力するインバータ回路の出力とを逆順用のゲート信号として用いることで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定したことを特徴とする双方向シフトレジスタ回路装置。

【発明の詳細な説明】

【0001】

(3)

特開平8-106795

3

【産業上の利用分野】この発明は、シフト方向を、フリップフロップの配列順の方向と、フリップフロップ配列に対して逆順の方向との双方向に、切替えが可能な双方向シフトレジスタ回路装置に係わり、切替信号に対する高速動作を可能とするように改良されたその構成に関する。

【0002】

【従来の技術】近年になり、LEDを平面状に配置したLED表示装置が広く採用されるようになってきている。広い表示面積とするために多数のLEDアレイを使用するLED表示装置においては、多数のLEDの駆動を低コストで可能とするために、2組の小規模な駆動回路装置を用いることが一般となってきており、この駆動回路装置として双方向シフトレジスタ回路装置が使用されている。

【0003】まず、このLED表示装置等に用いられている従来例の双方向シフトレジスタ回路装置の構成を、図8、図9を用いて説明する。図8は、従来例の双方向シフトレジスタ回路装置の主要部を示すその回路図であり、図9は、図8中に示した双方向シフトレジスタ回路装置の要部の詳細を示すその回路図である。なお、図8中には、図9で付した符号については、代表的な符号のみを記した。

【0004】図8、図9において、8は、シリアル信号87aが持つビット数と等しい個数（この事例の場合にはN個である。）のDフリップフロップ等のフリップフロップ（以降、FFと略称することがある。）81（それぞれのFF81を区別するために、図中では符号81に続いて、...のサフィックスを付加することにする。）と、複数個（この事例の場合にはFF81の使用個数と同一のN個である。）の配列順用のトランSMISSIONゲート（以降、TGと略称することがある。）82と、複数個（この事例の場合にはFF81の使用個数に対して1個少ない個数「N-1」個である。）の逆順用のトランSMISSIONゲート（以降、TGと略称することがある。）83と、ゲート信号生成回路装置（以降、GGと略称することがある。）84とを備える双方向シフトレジスタ回路装置である。

【0005】TG82、83は、図9中に示したように、共に、pEMOS821、831と、nEMOS822、832とで構成された公知のアナログスイッチであり、pEMOS821、831、nEMOS822、832のそれぞれのゲートに互いに逆極性となる関係のゲート信号を入力し、ゲート信号の極性に従って、入力端子823、833と、出力端子824、834の間とが、導通（オン）状態または非導通（オフ）状態になる。そうして、TG82は、初段のFF81に対しては、その入力端とシリアル信号（以降、SINと略称することがある。）87aを入力させる端子87との間に介挿され、第2段以降のFFであるFF81、～FF8

4

1。に対しては、そのFFの入力端と前段のFFの出力端との間に介挿されている。また、TG83は、最終段の81。を除くFF81。～FF81。に対して、それぞれのFFの入力端と次段のFFの出力端との間に介挿されている。

【0006】GG84は、インバータ回路装置であるインバータ841で構成され、2値信号である切替信号（以降、R/Lと略称することがある。）89aを入力し、R/L89aのレベルのままで出力されるゲート信号84a（図10（b）を参照。）と、R/L89aがインバータ841を介して取り出された、R/L89aのレベルに対して反転した関係のレベルを持つゲート信号84b（図10（c）を参照。）とを出力する。88は、それぞれのFFから出力されるパラレル信号88a（それぞれのパラレル信号88aを区別するために、図中では符号88aに続いて、...のサフィックスを付加することにする。）を双方向シフトレジスタ回路装置（以降、単にシフトレジスタと略称することがある。）8から取り出すための端子（それぞれの端子88を区別するために、図中では符号88に続いて、...のサフィックスを付加することにする。）であり、89は、R/L89aを入力させる端子である。

【0007】前述した構成を持つシフトレジスタ8は、R/L89aがハイレベル（以降、「H」と略称することがある。）であるか、ローレベル（以降、「L」と略称することがある。）であるかによってそのシフト方向は異なるが、いずれの場合においても、入力されたSIN87aを、図示を省略したクロックパルスの各パルス毎にシフトして、パラレル信号（以降、SOUTと略称することがある。）88aを出力する動作を行う。そうして、R/L89aが「L」である場合には、ゲート信号84aは「L」であり、ゲート信号84bは「H」であるので、TG82はオフ状態となり、TG83はオン状態となる。この状態におけるシフトレジスタ8の動作を図9を用いて説明する。今、FF81。に着目すると、FF81。に入力される信号81a。は、TG83を介して伝達された後段にあるFF81。から出力された信号88a。である。そうして、FF81。が出力した信号88a。は、TG82。がオフしているために、FF81。には入力されない。従って、シフトレジスタ8のシフト方向は、FF81の図8に示す配列関係に関して右→左の、いわゆる逆順の方向となる。

【0008】また、R/L89aが「H」である場合には、ゲート信号84aは「H」であり、ゲート信号84bは「L」であるので、TG82はオン状態となり、TG83はオフ状態となる。この状態におけるシフトレジスタ8の動作をFF81。に着目すると、FF81。に入力される信号81a。は、TG82。を介して伝達された前段にあるFF81。から出力された信号88a。

(4)

特開平8-106795

5

である。そうして、FF81<sub>r</sub>が出力した信号88a<sub>r</sub>は、TG83<sub>r</sub>がオフしているために、FF81<sub>r</sub>には入力されない。従って、シフトレジスタ8のシフト方向は、FF81の図8に示す配列関係に関して左→右の方向となり、R/L89aが「L」である場合に対して反転した関係である、いわゆる配列順の方向となる。

【0009】なお、SIN87aの入力端、R/L89aの入力端には、SIN87a、R/L89aのためのバッファを備えたものも知られている。このバッファとしては、例えば、1個のインバータ、または、バッファからの出力のレベルを入力された信号のレベルと一致させるために2個のインバータを直列に接続したものが使用されることが多いものである。

【0010】

【発明が解決しようとする課題】前述した従来技術による双方向シフトレジスタ回路装置においては、2値信号の切替信号を用いることで、そのシフト方向を任意に切り替えることが可能である。しかしながら、双方向シフトレジスタ回路装置がその出力を供給する負荷装置によっては、双方向シフトレジスタ回路装置のシフト方向を極めて短時間で切り替えることが要求されることが有りえるが、この場合に、双方向シフトレジスタ回路装置では次記する問題が発生する。すなわち、切替信号89aがこのような高周波の場合には、インバータ84<sub>1</sub>を介して出力されるゲート信号84<sub>1b</sub>は、インバータ84<sub>1</sub>が持つゲート容量等が原因となり、切替信号89aが直接出力されるゲート信号84<sub>1a</sub>に対して、図11中に示したように遅れ時間 $\Delta t_1$ を持つことになる。【図11(b)、(c)を参照。】

このような関係にあるゲート信号84<sub>1a</sub>とゲート信号84<sub>1b</sub>とを入力したTG82、TG83が持つpEMOS、nEMOSとは、図11(d)～図11(g)に示したように動作することになる。これ等の内、TG82が持つpEMOS82<sub>1</sub>はゲート信号84<sub>1b</sub>を入力して図11(d)に示したごとく動作し、TG82が持つnEMOS82<sub>2</sub>は、ゲート信号84<sub>1a</sub>を入力して図11(f)に示したごとく動作することになる。また、TG83が持つpEMOS83<sub>1</sub>はゲート信号84<sub>1a</sub>を入力して図11(e)に示したごとく動作し、TG83が持つnEMOS83<sub>2</sub>は、ゲート信号84<sub>1b</sub>を入力して図11(g)に示したごとく動作することになる。

【0011】この場合に、切替信号89aの「H」→「L」への切り替わりタイミングに着目すると、このタイミングにおいては、pEMOS82<sub>1</sub>とpEMOS83<sub>1</sub>とが遅れ時間 $\Delta t_1$ の期間は同時にオンしていることになる。また、切替信号89aの「L」→「H」への切り替わりタイミングに着目すると、このタイミングにおいては、nEMOS82<sub>2</sub>とnEMOS83<sub>2</sub>とが遅れ時間 $\Delta t_1$ の期間は同時にオンしていることになる。

5

シフトレジスタ8においては、このようなTG82とTG83とが同時にオンすることは、あるFF81に対して、前段のFF81が出力した信号88aと、後段のFF81が出力した信号88aとが同時に入力されることになるので、シフトレジスタ8が誤動作することになるのである。

【0012】この発明は、前述の従来技術の問題点に鑑み込まれたものであり、その目的は、高周波数の切替信号が入力された場合であっても誤動作が発生することの無い双方向シフトレジスタ回路装置を提供することにある。

【0013】

【課題を解決するための手段】この発明では前述の目的は、

1) 従属接続される複数のフリップフロップと、初段のフリップフロップにおいてはその入力端とシリアル信号の入力端との間に介挿され、第2段以降のフリップフロップのそれぞれにおいてはその入力端と前段のフリップフロップの出力端との間に介挿された、配列順用のトランスミッションゲートと、最終段のフリップフロップを除くフリップフロップのそれぞれの入力端と、次段のフリップフロップの出力端との間に介挿された逆順用のトランスミッションゲートとを備え、配列順用および逆順用のそれぞれのトランスミッションゲートのオン/オフの状態を、シフト方向の切替を指令する切替信号に従って互いに逆状態に切り替えることで、フリップフロップの配列に対して配列順の方向および逆順用の配列に対して逆順の方向のいずれかにシフト方向を切替えて、シリアル信号のバラレル信号への変換を行ない、それぞれのフリップフロップの出力端からバラレル信号を出力する双方向シフトレジスタ回路装置において、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定する構成とすること、または、

2) 前記1項に記載の手段において、切替信号を入力してそれぞれのトランスミッションゲートをオン/オフさせるゲート信号を生成するゲート信号生成回路装置を、配列順用のトランスミッションゲート用と逆順用のトランスミッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、pチャンネルMOSとnチャンネルMOSとが相補的に接続されて、両MOSのゲートの共通接続点に切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置が有するpチャンネルMOSおよびnチャンネルMOSの、チャンネル部の「幅方向

(5)

特開平8-106795

7

8

寸法／長さ方向寸法」値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも小さい値に設定することで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定した構成とすること、または、

3) 前記1項に記載の手段において、切替信号を入力してそれぞれのトランスミッションゲートをオン／オフさせるゲート信号を生成するゲート信号生成回路装置を、配列順用のトランスミッションゲート用と逆順用のトランスミッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置のしきい値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも高い値に設定することで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定した構成とすること、または、

4) 前記1項に記載の手段において、切替信号を入力して、配列順用のそれぞれのトランスミッションゲートをオン／オフさせる配列順用のゲート信号と、逆順用のそれぞれのトランスミッションゲートをオン／オフさせる逆順用のゲート信号とを生成するゲート信号生成回路装置を備え、このゲート信号生成回路装置は、切替信号を入力してこの信号を遅延したうえで出力する遅延回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理積に基づく出力信号を出力する論理積演算回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理和に基づく出力信号を出力する論理和演算回路装置と、論理積演算回路装置の出力を入力するインバータ回路と、論理和演算回路装置の出力を入力するインバータ回路とを有し、論理積演算回路装置の出力、および論理和演算回路装置の出力を入力するインバータ回路の出力とを配列順用のゲート信号として用い、論理和演算回路装置の出力、および論理積演算回路装置の出力を入力するインバータ回路の出力とを逆順用のゲート信号として用いることで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッシ

ョンゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定した構成とすること、により達成される。

【0014】

【作用】この発明においては、双方向シフトレジスタ回路装置において、(1)例えば、切替信号を入力してそれぞれのトランスミッションゲートをオン／オフさせるゲート信号を生成するゲート信号生成回路装置を、配列順用のトランスミッションゲート用と逆順用のトランスミッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、pチャンネルMOSとnチャンネルMOSとが相補形に接続されて、両MOSのゲートの共通接続点に切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置が有するpチャンネルMOSおよびnチャンネルMOSの、チャンネル部の「幅方向寸法／長さ方向寸法」値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも小さい値に設定することで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定する構成とすることにより、切替信号が入力されるインバータ回路装置においては、切替信号のレベルの切り替わり時における出力レベルの切り替わりは、一般のインバータ回路装置と同様に、インバータ回路装置が持つゲート容量値、チャンネル部の電気抵抗値等により定まる時定数に従う遅れ時間の経過の後に行われる。そうして、切替信号が入力されるインバータ回路装置の前記の時定数値に強く関係する数値であるチャンネル部の電気抵抗値は、ゲート電流の通流路であるチャンネル部の「幅方向寸法／長さ方向寸法」値により異なる値となる。これは、電流通流路が持つ電気抵抗値は、電流通流路の長さに比例し、電流通流路の断面積の逆数に比例するという関係に基づくものである。

【0015】従って、チャンネル部の「幅方向寸法／長さ方向寸法」値を、配列順用のゲート信号生成回路装置が有するインバータ回路装置の持つ値が、逆順用のゲート信号生成回路装置が有するインバータ回路装置の持つ値よりも小さい値に設定することで、切替信号が入力されるインバータ回路装置における切替信号のレベルが切り替えられた際にゲート電圧が変化する時定数の値は、配列順用の方が、逆順用の方よりも大きくなる。このために、配列順用および逆順用の切替信号が入力されるインバータ回路装置のしきい値が同一値であるとして、

(5)

特開平8-106795

9

10

切替信号のレベルが「L」から「H」に切り替わる際のタイミングは、配列順用の方が逆順用の方よりも遅くなり、また、切替信号のレベルが「H」から「L」に切り替わる際のタイミングは、配列順用の方が逆順用の方よりも早くなることになる。また、(2)切替信号を入力してそれぞれのトランスマッションゲートをオン/オフさせるゲート信号を生成するゲート信号生成回路装置を、配列順用のトランスマッションゲート用と逆順用のトランスマッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置のしきい値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも高い値に設定することで、配列順用のそれぞれのトランスマッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスマッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスマッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスマッションゲートがオンされるタイミングよりも早く設定した構成とすることにより、それぞれのゲート信号生成回路装置が持つ切替信号を入力されるインバータ回路装置のゲート部の特定数値が同一値であるとすると、切替信号のレベルの切り替わり時における出力レベルの切り替わりは、一般のインバータ回路装置と同様に、ゲート電圧がしきい値に到達した時点で行われるものである。従って、しきい値を、配列順用のゲート信号生成回路装置が有するインバータ回路装置の持つ値が、逆順用のゲート信号生成回路装置が有するインバータ回路装置の持つ値よりも高い値に設定することで、切替信号が入力されるインバータ回路装置における切替信号のレベルが「L」から「H」に切り替えられた際の、ゲート電圧がしきい値に到達するのに要する時間は、配列順用の方が、逆順用の方よりも長くなる。また、切替信号のレベルが「H」から「L」に切り替えられた際の、ゲート電圧がしきい値までに降下するのに要する時間は、配列順用の方が、逆順用の方よりも短くなる。このために、切替信号のレベルが「L」から「H」に切り替わる際のタイミングは、配列順用の方が逆順用の方よりも遅くなり、また、切替信号のレベルが「H」から「L」に切り替わる際のタイミングは、配列順用の方が逆順用の方よりも早くなることになる。また、(3)切替信号を入力して、配列順用のそれぞれのトランスマッションゲートをオン/オフさせる配列順用のゲート信号と、逆順用のそれぞれのトランスマッションゲートをオン/オフさせる逆順用のゲート信号とを生成するゲート信号生成回路装置を備え、このゲート信号生成回路装置は、切替信号を入力してこの信号を遅延したうえで出力する遅延回路装置と、切替信号と遅延回路の出力とを

力して両信号の論理積に基づく出力信号を出力する論理積演算回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理和に基づく出力信号を出力する論理和演算回路装置と、論理積演算回路装置の出力を入力するインバータ回路と、論理和演算回路装置の出力を入力するインバータ回路とを有し、論理積演算回路装置の出力、および論理和演算回路装置の出力を入力するインバータ回路の出力とを配列順用のゲート信号として用い、論理和演算回路装置の出力、および論理積演算回路装置の出力を入力するインバータ回路の出力とを逆順用のゲート信号として用いることで、配列順用のそれぞれのトランスマッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスマッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスマッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスマッションゲートがオンされるタイミングよりも早く設定した構成とすることにより、論理積演算回路装置と、論理和演算回路装置とは共に、切替信号と遅延回路の出力とを入力し、論理積演算回路装置は両入力信号の論理積をとり、論理和演算回路装置は両入力信号の論理和をとる。切替信号のレベルが「L」から「H」に切り替えられた際には、論理積と論理和との定義に従うので、論理積演算回路装置の出力は、論理和演算回路装置の出力よりも遅れる。また、切替信号のレベルが「H」から「L」に切り替えられた際には、論理積と論理和との定義に従うので、論理積演算回路装置の出力は、論理和演算回路装置の出力よりも早くなる。

【0016】

【実施例】以下この発明の実施例を図面を参照して詳細に説明する。

実施例1：図4は、請求項1、3に対応するこの発明の一実施例による双方向シフトレジスタ回路装置を示し、(a)はその主要部を示す回路図であり、(b)は図4(a)中に示したゲート信号生成回路装置内で使用されるインバータ回路装置の要部の詳細を示すその回路図である。図5は、図4中に示した双方向シフトレジスタ回路装置の要部の詳細を示すその回路図である。図4、図5において、図8、図9に示した従来例による双方向シフトレジスタ回路装置と同一部分には同じ符号を付し、その説明を省略する。なお、図4中には、図5で付した符号については、代表的な符号のみを記した。

【0017】図4、図5において、1Aは、図8、図9に示した従来例による双方向シフトレジスタ回路装置8に対して、ゲート信号生成回路装置84に替えてゲート信号生成回路装置5A、5Bを用いると共に、公知のインバータ4を備えた双方向シフトレジスタ回路装置（以降、単にシフトレジスタと略称することがある。）である。インバータ4はその入力端にR/L89aを入力して、R/L89aをバッファすると共に、R/L89aに対してレベルが反転された関係にある信号4aを出力

(7)

特開平8-106795

11

する。ゲート信号生成回路装置（以降、GGと略称することがある。）5Aは、R/L89aに対応する信号4aが入力されるインバータ回路装置であるインバータ3Cと、インバータ841とを備えている。インバータ3Cの出力端からは、信号4aに対してレベルが反転された関係、従って、R/L89aに対して同一のレベル関係に有るゲート信号5Aaが出力される。インバータ841は、このゲート信号5Aaを入力し、ゲート信号5Aaのレベルに対して反転した関係のレベルを持つゲート信号5Abを出力する。GG5Bは、R/L89aに

対応する信号4aが入力されるインバータ回路装置であるインバータ3Dと、インバータ841とを備えている。インバータ3Dの出力端からは、信号4aに対してレベルが反転された関係、従って、R/L89aに対して同一のレベル関係に有るゲート信号5Baが出力される。インバータ841は、このゲート信号5Baを入力し、ゲート信号5Baのレベルに対して反転した関係のレベルを持つゲート信号5Bbを出力する。

【0018】インバータ3Cとインバータ3Dとは共に、図4（b）中に示すように、互いに相補形に接続されたpチャンネルMOS31とnチャンネルMOS32とを備えており、両MOS31、32のゲートの共通接続点がインバータ3C、3Dの入力端33であり、両MOS31、32のドレインの共通接続点がインバータ3C、3Dの出力端34である。MOS31のソースは電源電位が接続される電源端35に接続され、MOS32のソースは接地電位が接続される接地端36に接続されている。ここで、この発明による特徴的な構成として、インバータ3Cのしきい値 $V_{thc}$ は、インバータ3Dのしきい値 $V_{thd}$ よりも高い値に設定されている。そうして、ゲート信号5Aa、5AbはTG82に、ゲート信号5Ba、5BbはTG83に、それぞれ供給されている。

【0019】なお、インバータ3Cのしきい値 $V_{thc}$ と、インバータ3Dのしきい値 $V_{thd}$ とを異ならせる方法は、例えば、インバータ3C、インバータ3Dの製造に当たり、一般の半導体装置の製造プロセスに用いられている適宜の手法を用いるなどして、インバータ3Cとインバータ3Dとにそれぞれ用いられている、pチャンネルMOS31、nチャンネルMOS32のチャンネル部の不純物濃度を異ならせるとか、pチャンネルMOS31、nチャンネルMOS32のゲート絶縁膜の厚さ寸法を異ならせる等の方法が適用できる。

【0020】図4、図5に示す実施例では、シフトレジスタ1Aは前記の構成としたことにより、図6中に示したように動作する。なお、図6では説明が煩雑になることを避けるために、インバータ4における信号の遅延時間を無視して示している。まず、R/L89aのレベルが経時的に図6（a）に示したように変化した場合に、この事例では、インバータ3Cおよびインバータ3Dの

12

それぞれが持つ、ゲート電圧 $V_g$ は、図6（b）に示したようにほぼ同一値で変化する。ところで、インバータ3Cのしきい値は $V_{thc}$ であるので、ゲート電圧 $V_g$ がしきい値 $V_{thc}$ を越えたタイミングでオンし、その出力端34から「H」のゲート信号5Aaを出力する。【図6（c）を参照。】ゲート信号5Aaを入力したインバータ841は、ゲート信号5Aaのレベルに対して反転した関係のレベルを持つゲート信号5Abを、ゲート信号5Aaのレベル変化に対して遅れ時間 $\Delta t$ だけ遅れたタイミングで出力する。【図6（d）を参照。】また、インバータ3Dのしきい値は $V_{thd}$ であるので、ゲート電圧 $V_g$ がしきい値 $V_{thd}$ を越えたタイミングでオンし、その出力端34から「H」のゲート信号5Baを出力する。【図6（e）を参照。】そうして、 $V_{thc} < V_{thd}$ の関係にあるので、ゲート信号5Baは、ゲート信号5Aaも早い時刻に「H」となり、ゲート信号5Aaが「L」に戻った後に「L」に戻ることになる。このゲート信号5Baを入力したインバータ841は、ゲート信号5Baのレベルに対して反転した関係のレベルを持つゲート信号5Bbを、ゲート信号5Aaとゲート信号5Abとの関係と同様の、ゲート信号5Baのレベル変化に対して遅れ時間 $\Delta t$ だけ遅れたタイミングで出力する。【図6（f）を参照。】

TG82が持つpEMOS821は、前記のゲート信号5Abを入力して、図6（g）に示したごとく動作し、TG83が持つpEMOS831は、前記のゲート信号5Baを入力して、図6（h）に示したごとく動作する。また、TG82が持つnEMOS822は、前記のゲート信号5Aaを入力して、図6（i）に示したごとく動作し、TG83が持つnEMOS832は、前記のゲート信号5Bbを入力して、図6（j）に示したごとく動作する。

【0021】この場合に、切替信号89aの「L」→「H」へ切り替わるタイミング、および、「H」→「L」へ切り替わるタイミングに伴うTG82、TG83の動作を図6を用いて観察すると、従来例のシフトレジスタ8で発生していた、pEMOS822とpEMOS832とが同時にオンされる問題は、ゲート信号5Bbを、ゲート信号5Aaが「H」となる時刻よりも早い時刻に「L」とすることにより解消されており、また、nEMOS821とnEMOS831とが同時にオンされる問題は、ゲート信号5Baを、ゲート信号5Abが「H」となる時刻よりも遅い時刻に「L」とすることにより解消されていることが分かる。

【0022】実施例2：図1は、請求項1、2に対応するこの発明の一実施例による双方向シフトレジスタ回路装置の主要部を示す回路図であり、図2は、図1中に示したゲート信号生成回路装置内で使用されるインバータ回路装置の要部の詳細を示すその回路図である。図1、図2において、図4、図5に示した請求項1、3に対応



(8)

特開平8-106795

13

するこの発明の一実施例による双方向シフトレジスタ回路装置、および、図8、図9に示した従来例による双方向シフトレジスタ回路装置と同一部分には同じ符号を付し、その説明を省略する。なお、図1中には、図2、図5で付した符号については、代表的な符号のみを記した。

【0023】図1、図2において、1は、図4、図5に示した請求項1、3に対応するこの発明の一実施例による双方向シフトレジスタ回路装置1Aに対して、GG5A、5Bに替えてゲート信号生成回路装置（以降、GGと略称することがある。）2A、2Bを用いる双方向シフトレジスタ回路装置（以降、単にシフトレジスタと略称することがある。）である。GG2Aは、図4に示したGG5Aに対して、インバータ3Cに替えてインバータ3Aを用いるようにしている。GG2Aの場合には、インバータ3Aの出力端からは、R/L89aに対して同一のレベル関係に有るゲート信号2Aaが出力され、インバータ841からは、ゲート信号2Aaのレベルに対して反転した関係のレベルを持つゲート信号2Abが出力される。GG2Bは、図4に示したGG5Bに対して、インバータ3Dに替えてインバータ3Bを用いるようにしている。GG2Bの場合には、インバータ3Bの出力端からは、R/L89aに対して同一のレベル関係に有るゲート信号2Baが出力され、インバータ841からは、ゲート信号2Baのレベルに対して反転した関係のレベルを持つゲート信号2Bbが出力される。ゲート信号2Aa、2AbはTG82に、ゲート信号2Ba、2BbはTG83に、それぞれ供給されている。

【0024】インバータ3Aとインバータ3Bとは共に、図4中に示したインバータ3C、3Dと同様に、互いに相補形に接続されたpチャンネルMOS31とnチャンネルMOS32とを備えたインバータである。【図2を参照。】そうして、インバータ3A、3Bは、そのしきい値 $V_{th}$ を、共に同一値に設定されている。ここで、この発明による特徴的な構成として、インバータ3Aとインバータ3Bとは、【表1】に示すとおり、pチャンネルMOS31とnチャンネルMOS32のチャンネル部の「幅方向寸法(W)/長さ方向寸法(L)」値を互いに異ならせている。

【0025】

【表1】

14  
インバータ3A、3Bに使用されている  
MOSのチャンネル部の「W/L」値

MOS の区分	チャンネル部の「W/L」値		
	一般品 (参考)	実施例2による区分	
		3A	3B
31	約2	一般品より小	一般品より大
32	約1	一般品より小	一般品より大

図1、図2に示す実施例では、シフトレジスタ1は前記の構成としたことにより、図3中に示したように動作する。なお、図3では図6の場合と同様に、説明が煩雑になることを避けるために、インバータ4における信号の遅延時間を無視して示している。まず、R/L89aのレベルが経時的に図3(a)に示したように変化した場合に、この事例では、インバータ3Aのゲート電圧 $V_{c3A}$ 、および、インバータ3Bのゲート電圧 $V_{c3B}$ とは、図3(b)に示したように、ゲート電圧 $V_{c3A}$ がゲート電圧 $V_{c3B}$ よりも緩慢に変化する。このことは、インバータ3A、3Bが持つpチャンネルMOS31とnチャンネルMOS32のチャンネル部の「W/L」値が【表1】に示した値に設定されていることで、インバータ3Aのゲートを充放電する際の時定数の値が、インバータ3Bのゲートを充放電する際の時定数の値よりも大きくなったことに基づいている。そうして、インバータ3Aは、ゲート電圧 $V_{c3A}$ がしきい値 $V_{th}$ を越えたタイミングでオンし、その出力端34から「H」のゲート信号2Aaを出力する。【図3(c)を参照。】ゲート信号2Aaを入力したインバータ841は、ゲート信号2Aaのレベルに対して反転した関係のレベルを持つゲート信号2Abを、ゲート信号2Aaのレベル変化に対して遅れ時間 $\Delta t$ 、だけ遅れたタイミングで出力する。

【図3(d)を参照。】また、インバータ3Bは、ゲート電圧 $V_{c3B}$ がしきい値 $V_{th}$ を越えたタイミングでオンし、その出力端34から「H」のゲート信号2Baを出力する。【図3(e)を参照。】そうして、ゲート電圧 $V_{c3A}$ の時定数値<ゲート電圧 $V_{c3B}$ の時定数値の関係にあるので、ゲート信号2Baは、ゲート信号2Aaも早い時刻に「H」となり、ゲート信号2Aaが「L」に戻った時刻よりも遅れた時刻で「L」に戻ることになる。このゲート信号2Baを入力したインバータ841は、ゲート信号2Baのレベルに対して反転した関係のレベルを持つゲート信号2Bbを、ゲート信号2Aaとゲート信号2Abとの関係と同様の、ゲート信号2Baのレベル変化に対して遅れ時間 $\Delta t$ 、だけ遅れたタイミングで出力する。【図3(f)を参照。】

(9)

特開平8-106795

15

前記のゲート信号2Aa、2AbはTG82に、前記のゲート信号2Ba、2BbはTG83に、それぞれ供給されて、TG82、TG83のオン/オフ動作を司ることになる。これ等のゲート信号によるTG82、TG83の動作は図3(g)~(j)に示されている。図3(g)~(j)に示されている動作は、前記した実施例1の場合と同様であるので、その説明は省略する。

【0026】実施例2で示したシフトレジスタ1は、実施例1に示したシフトレジスタ1Aと同様に、従来例のシフトレジスタ8の問題点を解決するものである。しかしその手段は、インバータ3Aとインバータ3Bとがそれぞれ持つ、pチャンネルMOS31とnチャンネルMOS32のチャンネル部の「W/L」値を互いに異ならせることによっているのが、実施例1の場合と異なっている。このことによって、インバータ3Aとインバータ3Bの持つ、pチャンネルMOS31、nチャンネルMOS32のチャンネル部の不純物濃度、ゲート絶縁膜の厚さ寸法等は、シフトレジスタ1に使用されている他のインバータと同一であっても差し支えが無いものとなる。この結果、シフトレジスタ1を製造する製造プロセスを、シフトレジスタ1Aの場合よりも単純化することが可能となるのである。

【0027】実施例3：図7は、請求項1、4に対応するこの発明の一実施例による双方向シフトレジスタ回路装置に用いられるゲート信号生成回路装置を説明する説明図であり、(a)はその主要部を示すその回路図であり、(b)は図7(a)で示したゲート信号生成回路装置の動作を示すその波形図である。図7において、図8に示した従来例による双方向シフトレジスタ回路装置と同一部分には同じ符号を付し、その説明を省略する。

【0028】図7(a)において、6は、図8中に示した従来例による双方向シフトレジスタ回路装置8に用いられているゲート信号生成回路装置84に置換えられるゲート信号生成回路装置である。ゲート信号生成回路装置(以降、GGと略称することがある。)6は、遅延回路装置61と、論理積演算回路装置である2入力のAND回路62と、論理和演算回路装置である2入力のOR回路63と、2個のインバータ841とを備えている。

【0029】遅延回路装置61は、R/L89aを入力し、R/L89aと同波形で、R/L89aに対して遅延時間 $\Delta T$ だけ遅延された信号61aを出力する。よく知られた回路装置である。AND回路62は、公知の論理回路であって、R/L89aと信号61aを入力し、両信号の論理積に従うゲート信号6Aaを出力する。一方のインバータ841は、このゲート信号6Aaを入力し、ゲート信号6Aaのレベルに対して反転した関係のレベルを持つゲート信号6Abを出力する。OR回路63は、公知の論理回路であって、R/L89aと信号61aを入力し、両信号の論理和に従うゲート信号6Ba

16

を出力する。他方のインバータ841は、このゲート信号6Baを入力し、ゲート信号6Baのレベルに対して反転した関係のレベルを持つゲート信号6Bbを出力する。

【0030】図7(a)に示す実施例では、シフトレジスタに用いられるゲート信号生成回路装置は前記の構成としたことにより、図7(b)中に示したように動作する。まず、R/L89aのレベルが経時的に図7(b)(イ)に示したように変化した場合に、信号61aは、R/L89aに対して遅延時間 $\Delta T$ だけ遅延した図7(b)(ロ)に示したように変化する。ゲート信号6Aaは、R/L89aと信号61aとの論理積に従うので、両信号が共に「H」である期間だけ「H」となる波形が出力される。〔図7(b)(ハ)を参照。〕また、ゲート信号6Baは、R/L89aと信号61aとの論理和に従うので、両信号の一方でも「H」となっている期間において「H」となる波形が出力される。〔図7(b)(ニ)を参照。〕そうして、R/L89aのレベルが「L」から「H」に切り替えられた際には、ゲート信号6Aaは、ゲート信号6Baに対して遅延時間 $\Delta T$ だけ遅延して「L」から「H」に切り替えられる。また、R/L89aのレベルが「H」から「L」に切り替えられた際には、ゲート信号6Aaは、ゲート信号6Baに対して遅延時間 $\Delta T$ だけ早く「H」から「L」に切り替えられる。

【0031】図1、図4、図8も利用して説明すると、前記したゲート信号6Aa、6Abは、シフトレジスタが持つTG82に供給され、ゲート信号6Ba、6Bbは、シフトレジスタが持つTG83に供給されて、TG82、TG83のオン/オフ動作を司ることになる。これ等のゲート信号によるTG82、TG83の動作は、前記した実施例1、2の場合と同様であるので、その説明は省略する。

【0032】実施例3で示したGG6は、実施例1、2に示したシフトレジスタ1、1Aと同様に、従来例のシフトレジスタ8の問題点を解決するものである。しかしその手段は、遅延回路装置61、AND回路62、OR回路63を用いているのが、実施例1、2の場合と異なっている。従って、シフトレジスタの内のゲート信号生成回路装置を除いた部分は、従来例のシフトレジスタ8と同一でよいので、その部分に関するシフトレジスタを製造するのに用いる製造プロセスは、従来例の場合と全く同一のままで製造することが可能である。

【0033】実施例1、2における今までの説明では、シフトレジスタ1が有するインバータ3A、3Bが備える構成と、シフトレジスタ1Aが有するインバータ5A、5Bが備える構成とは、それぞれのシフトレジスタで特有の構成であるとしてきたが、これに限定されるものではなく、例えば、インバータ3A、3Bが備える特有の構成と、インバータ5A、5Bが備える特有の構成

(10)

特開平8-106795

17

とを、一体に備えるようにしてもよいものである。また、インバータ3Aとインバータ3Bとがそれぞれ持つ、pチャンネルMOS31とnチャンネルMOS32のチャンネル部の「W/L」値を、〔表2〕に示すごとくを設定することで、インバータ3Aのゲート電圧の充放電の時定数値を、インバータ3Bのゲート電圧の充放電の時定数値よりも大きくすると共に、インバータ3Aのしきい値 $V_{th,3A}$ およびインバータ3Bのしきい値 $V_{th,3B}$ を、 $V_{th,3A} > V_{th,3B}$ の係に異ならせることができる。これにより、TG82がオンされるタイミングを、TG83がオフされるタイミングよりも遅くし、かつ、TG82がオフされるタイミングを、TG83がオンされるタイミングよりも早くなるように設定するに当たり、実施例1によるインバータのしきい値を異ならせる方法と、実施例2によるインバータのゲート電圧の充放電の時定数値を異ならせる方法とを一体に用いて、実施

〔0034〕

〔表2〕

インバータのMOSのチャンネル部の「W/L」値

MOS の区分	チャンネル部の「W/L」値		
	一般品 (参考)	実施例2による区分	
		3A	3B
p形	約2	一般品より大	一般品より小
n形	約1	一般品より小	一般品より大

実施例1～3における今までの説明ではふれなかったが、この発明による双方向シフトレジスタ回路装置は、一体品として構成してもよいし、例えば、FF81、TG82、83の部分と、GGとその周辺部分とを別個の製品として構成してもよいものである。また、それぞれの形態で構成された製品は、当然のことながら、半導体集積回路装置として構成してもよいものである。

〔0035〕

【発明の効果】この発明においては、前記の課題を解決するための手段の項で述べた構成としたことで、次記する効果を奏する。

①配列順用のトランスミッションゲートと、逆順用のトランスミッションゲートとが、同時にオンされることが解消されることで、高周波数の切替信号が入力された場合においても、双方向シフトレジスタ回路装置は誤動作すること無く動作することが可能となる。

〔0036〕②前記の項において、切替信号を入力してそれぞれのトランスミッションゲートをオン／オフさせるゲート信号を生成するゲート信号生成回路装置を、配

18

列順用のトランスミッションゲート用と逆順用のトランスミッションゲート用として別個に備え、それぞれのゲート信号生成回路装置は、pチャンネルMOSとnチャンネルMOSとが相補形に接続されて、両MOSのゲートの共通接続点に切替信号が入力されるインバータ回路装置と、このインバータ回路装置の出力を入力するインバータ回路装置とを有し、それぞれの切替信号が入力されるインバータ回路装置が有するpチャンネルMOSおよびnチャンネルMOSの、チャンネル部の「長さ方向寸法／幅方向寸法」値を、配列順用のゲート信号生成回路装置の持つ値が、逆順用のゲート信号生成回路装置の持つ値よりも大きい値に設定することで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定した構成とすることにより、双方向シフトレジスタ回路装置を製造する製造プロセスを単純化することが可能となるので、高周波数の切替信号に対応した双方向シフトレジスタ回路装置の製造原価を低減することが可能となる。

〔0037〕③前記の項において、切替信号を入力して、配列順用のそれぞれのトランスミッションゲートをオン／オフさせる配列順用のゲート信号と、逆順用のそれぞれのトランスミッションゲートをオン／オフさせる逆順用のゲート信号とを生成するゲート信号生成回路装置を備え、このゲート信号生成回路装置は、切替信号を入力してこの信号を遅延したうえで出力する遅延回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理積に基づく出力信号を出力する論理積演算回路装置と、切替信号と遅延回路の出力とを入力して両信号の論理和に基づく出力信号を出力する論理和演算回路装置と、論理積演算回路装置の出力を入力するインバータ回路と、論理和演算回路装置の出力を入力するインバータ回路とを有し、論理積演算回路装置の出力、および論理和演算回路装置の出力を入力するインバータ回路の出力とを配列順用のゲート信号として用い、論理積演算回路装置の出力、および論理和演算回路装置の出力を入力するインバータ回路の出力とを逆順用のゲート信号として用いることで、配列順用のそれぞれのトランスミッションゲートがオンされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオフされるタイミングよりも遅く、かつ、配列順用のそれぞれのトランスミッションゲートがオフされるタイミングを、逆順用のそれぞれのトランスミッションゲートがオンされるタイミングよりも早く設定した構成とすることにより、高周波数の切替信号に対応した双方向シフトレジスタ回路装置を、従来例の双方向シフトレジスタ回路装置を製造する製造プロセスと同一のままで製造することが可能となるの

(11)

特開平 8-106795

19

20

で、高周波数の切替信号に対応した双方向シフトレジスタ回路装置の製造原価を低減することが可能となる。

【図面の簡単な説明】

【図 1】請求項 1、2 に対応するこの発明の一実施例による双方向シフトレジスタ回路装置の主要部を示す回路図

【図 2】図 1 中に示したゲート信号生成回路装置内で使用されるインバータ回路装置の要部の詳細を示すその回路図

【図 3】図 1 中に示したゲート信号生成回路装置の動作を説明する説明図

【図 4】請求項 1、3 に対応するこの発明の一実施例による双方向シフトレジスタ回路装置を示し、(a) はその主要部を示す回路図、(b) は図 4 (a) 中に示したゲート信号生成回路装置内で使用されるインバータ回路装置の要部の詳細を示すその回路図

【図 5】図 4 中に示した双方向シフトレジスタ回路装置の要部の詳細を示すその回路図

【図 6】図 4 中に示したゲート信号生成回路装置の動作を説明する説明図

【図 7】請求項 1、4 に対応するこの発明の一実施例による双方向シフトレジスタ回路装置に用いられるゲート信号生成回路装置を説明する説明図であり、(a) はその主要部を示すその回路図、(b) は図 7 (a) で示したゲート信号生成回路装置の動作を示すその波形図\*

\*【図 8】従来例の双方向シフトレジスタ回路装置の主要部を示すその回路図

【図 9】図 8 中に示した双方向シフトレジスタ回路装置の要部の詳細を示すその回路図

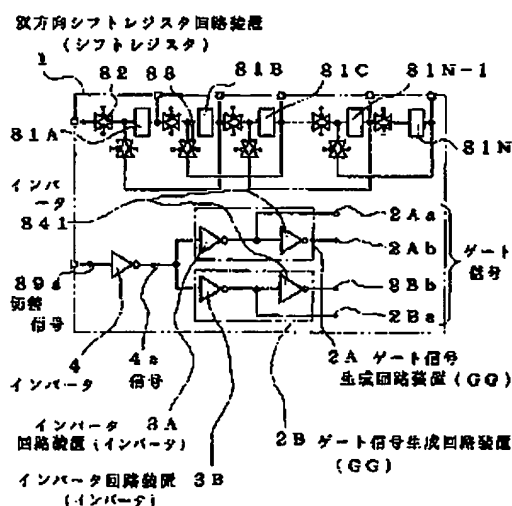
【図 10】図 8 中に示したゲート信号生成回路装置の動作を説明する説明図

【図 11】高周波数の切替信号が入力された場合の図 8 中に示したゲート信号生成回路装置の動作を説明する説明図

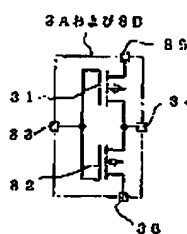
【符号の説明】

- 1 双方向シフトレジスタ回路装置 (シフトレジスタ)
- 2 A ゲート信号生成回路装置 (GG)
- 2 A a ゲート信号
- 2 A b ゲート信号
- 2 B ゲート信号生成回路装置 (GG)
- 2 B a ゲート信号
- 2 B b ゲート信号
- 3 A インバータ回路装置 (インバータ)
- 3 B インバータ回路装置 (インバータ)
- 4 インバータ
- 4 a 信号
- 8 4 1 インバータ
- 8 9 a 切替信号

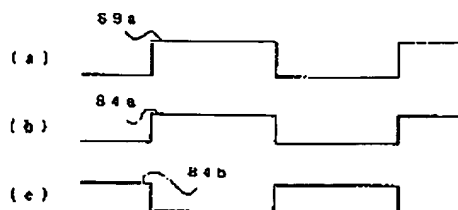
【図 1】



【図 2】



【図 10】

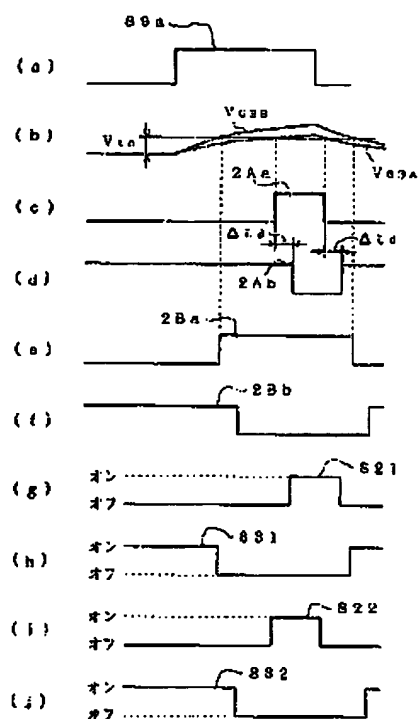


BEST AVAILABLE COPY

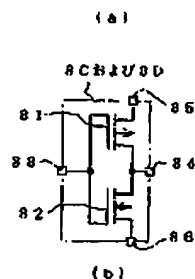
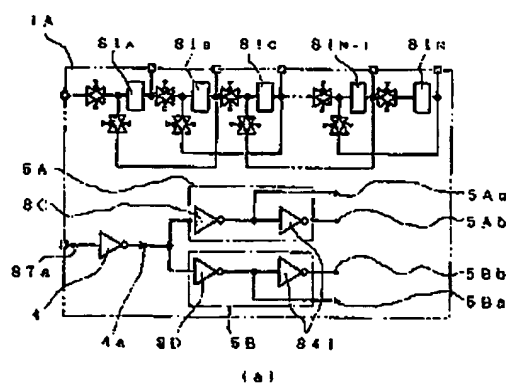
(12)

特開平8-106795

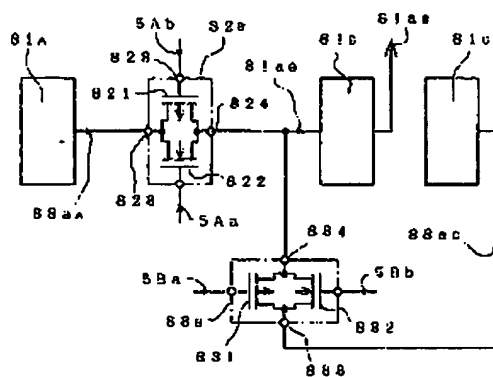
【図3】



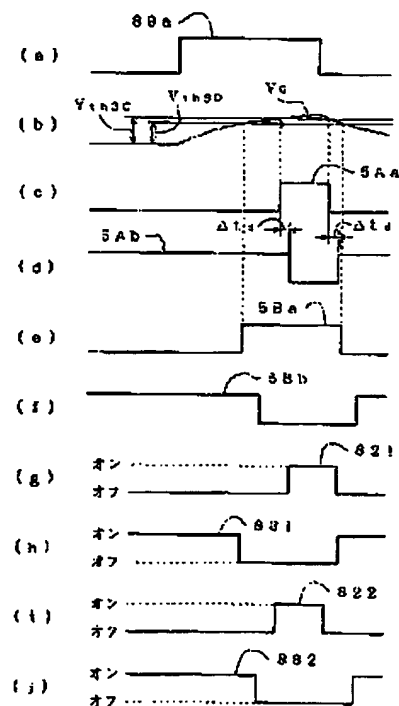
【図4】



【図5】



【図6】

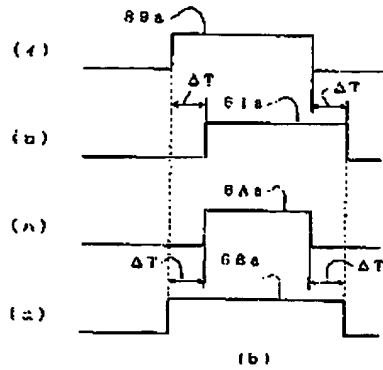
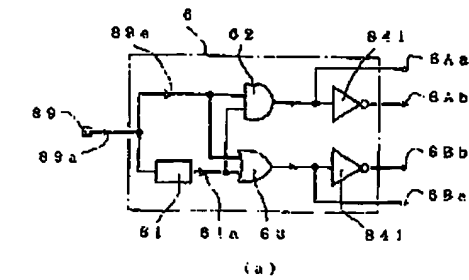


BEST AVAILABLE COPY

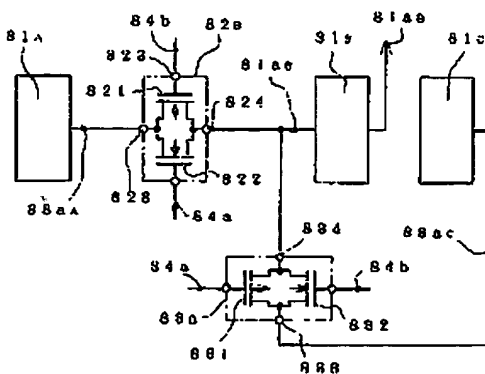
(13)

特開平8-106795

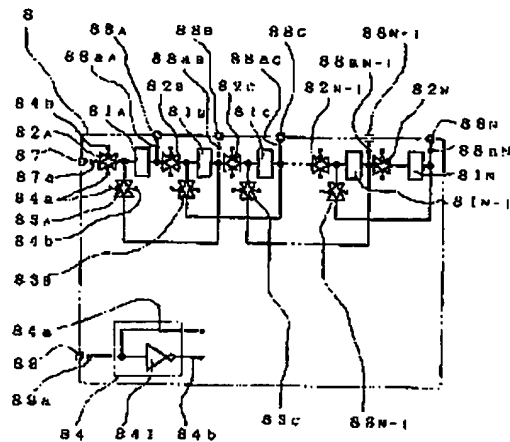
【図7】



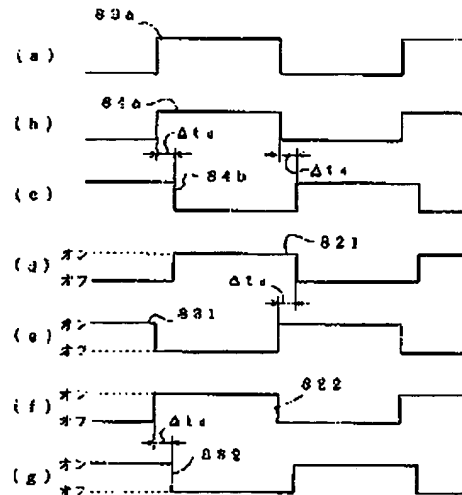
【図9】



【図8】



【図11】



BEST AVAILABLE COPY